

**(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG**

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. April 2004 (22.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/034584 A2

(51) Internationale Patentklassifikation⁷: H03K 17/082

(21) Internationales Aktenzeichen: PCT/DE2003/003090

(22) Internationales Anmeldedatum:
17. September 2003 (17.09.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 47 111.8 9. Oktober 2002 (09.10.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESellschaft [DE/DE];
Postfach 22 16 34, 80506 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BOLZ, Stephan
[DE/DE]; Lehenweg 14, 93102 Pfatter (DE). **KNORR,**

Rainer [DE/DE]; Hohlweg 10 C, 93055 Regensburg (DE).
LUGERT, Günter [DE/DE]; Gertud-Bäumer-Weg 7,
 93055 Regensburg (DE).

**(74) Gemeinsamer Vertreter: SIEMENS AKTIENGES-
SELLSCHAFT; Postfach 22 16 34, 80506 München
(DE).**

(81) Bestimmungsstaaten (*national*): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

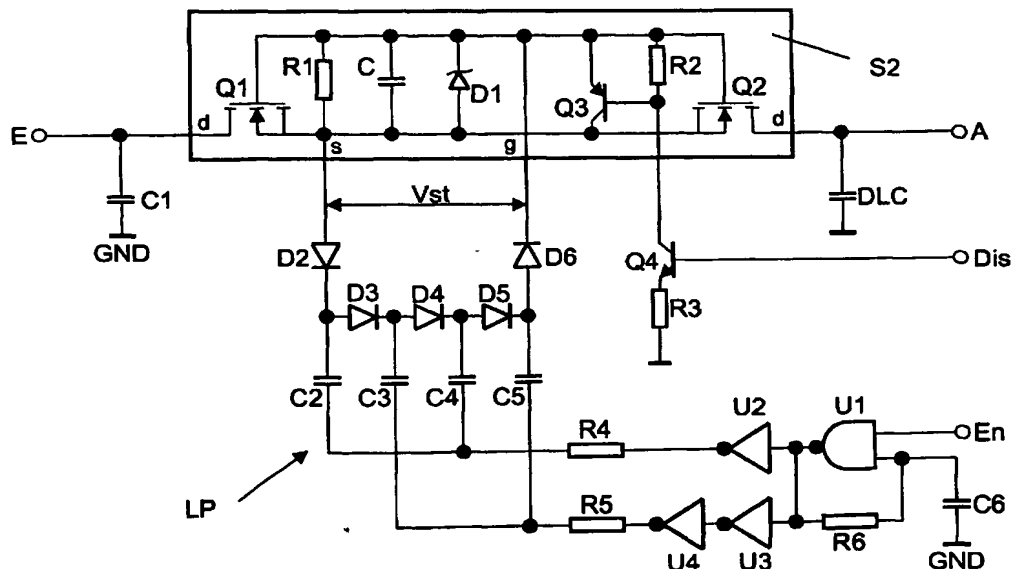
Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: METHOD AND DEVICE FOR ACTUATING A POWER CIRCUIT BREAKER

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR BETÄTIGUNG EINES LEISTUNGSSCHALTERS.



(S7) Abstract: The invention relates to a method for actuating a semiconductor power circuit breaker, by which means the resistance of the breaker gap (E-A) of the semiconductor power circuit breaker is controlled by a control voltage (V_{st}) in such a way that the chip temperature (T_{1st} , T_{2st}) of the power circuit breaker (S1, S2) does not exceed a pre-determined nominal value (T_{soll}). When the nominal temperature (T_{soll}) is reached, the resistance of the breaker gap (E-A) is increased. The invention also relates to a device for carrying out said method, said device using a transfer gate (TG) controlled by a charge pump (LP) as a semiconductor power circuit breaker. Commercially available transistors comprising integrated temperature sensors are used in the transfer gate (TG) as semiconductor power circuit breakers.

[Fortsetzung auf der nächsten Seite]

WO 2004/034584 A2



(57) Zusammenfassung: Verfahren zur Betätigung eines Halbleiter-Leistungsschalters, mittels welchem der Widerstand der Schaltstrecke (E-A) des Halbleiter-Leistungsschalters mit einer Steuerspannung (V_{st}) so gesteuert wird, dass die Chiptemperatur (T_{1ist} , T_{2ist}) des Leistungsschalters (S_1 , S_2) einen vorgegebenen Sollwert (T_{soll}) nicht übersteigt, wobei bei Erreichen der Solltemperatur (T_{soll}) der Widerstand der Schaltstrecke (E-A) erhöht wird. Eine Vorrichtung zur Durchführung dieses Verfahrens verwendet als Halbleiter-Leistungsschalter ein Transfer-Gate (TG), welches von einer Ladungspumpe (LP) angesteuert wird, wobei im Transfer-Gate (TG) als Halbleiter-Leistungsschalter handelsübliche Transistoren mit integrierten Temperatursensoren verwendet werden.

Beschreibung

Verfahren und Vorrichtung zur Betätigung eines Leistungsschalters.

Die Erfindung betrifft ein Verfahren zur Betätigung eines Leistungsschalters nach dem Oberbegriff von Anspruch 1, insbesondere eines zwischen zwei Energiespeichern angeordneten Halbleiter-Leistungsschalters in einem mit einem Integrierten Starter-Generator ausgerüsteten Kraftfahrzeug-Bordnetz. Sie betrifft auch eine Vorrichtung zur Durchführung dieses Verfahrens nach Anspruch 2.

Im einem Kraftfahrzeug-Bordnetz mit ISG sind Schaltvorgänge zwischen Energiespeichern - Akkumulatoren verschiedener Nennspannungen und Kondensatoren (Zwischenkreiskondensatoren, Doppelschichtkondensatoren) - über Umrichter oder Schaltregler mittels Leistungsschaltern erforderlich, die mittels der Befehle eines Steuergeräts durchgeführt werden.

Bedingung dabei ist, dass vor dem Öffnen eines Schalters der durch ihn fließende Schalterstrom auf 0A gebracht wird, und dass vor dem Schließen eines Schalters die zwischen seinen Schaltkontakten liegende Schalterspannung auf 0V gebracht wird, damit der Schalter leistungsfrei betätigt werden kann.

Ein Schalterstrom 0A kann beispielsweise durch Abschalten von AC/DC-Umrichter oder DC/DC-Schaltregler erfolgen und stellt in der Praxis kein Problem dar.

Die Regelung auf 0V Schalterspannung, d.h., keine Potentialdifferenz zwischen den Polen des (geöffneten = nicht leitenden) Schalters, erfolgt in der Regel durch gezieltes Umladen

eines der Energiespeicher, beispielsweise eines Zwischenkreiskondensators, da dieser in der Regel der kleinere der Energiespeicher ist. Diese Regelung kann auch prinzipiell durch einen Umrichter oder einen zwischen diesem und dem Bordnetz befindlichen Schaltregler erfolgen.

Der Zwischenkreiskondensator hat beispielsweise eine Kapazität von mehreren 10.000 μ F, der Doppelschichtkondensator beispielsweise eine Kapazität von 200F, die Akkumulatoren eine Kapazität von mehreren Ah. Die auszugleichende Schalterspannung kann bis zu 60V betragen.

Bedingt durch das ungünstige Verhältnis von Leistungsfähigkeit von Umrichter (z.B. 6kW) oder Schaltregler (z.B. 1kW) zu der für den Ladungsausgleich (bis 40 Joule) erforderlichen Energie sind dem Spannungsausgleich jedoch in der Praxis enge Grenzen gesetzt.

Werden nun beispielsweise aus Gründen der Zuverlässigkeit und des Platzbedarfs als Schalter Halbleiterschalter eingesetzt, so reicht die so erzielbare Genauigkeit des Spannungsausgleichs nicht aus.

Im normalen Betrieb auftretende Ströme und Leistungen erfordern die Verwendung von Bauelementen (Kondensatoren, Schaltern) mit sehr kleinen Widerständen. Entsprechend hoch fallen bei vorhandenen Spannungsdifferenzen die Ausgleichsströme über dem zu schließenden Schalter aus. Im Extremfall führt dies zur Zerstörung der Halbleiter.

Eine Begrenzung des durch den Schalter fließenden Ausgleichstromes auf einen ungefährlichen Wert setzt eine Strommessung voraus, die bei der Höhe der auftretenden Ströme einen kos-

tenintensiven Stromsensor erfordert. Außerdem kann der Ausgleichsvorgang nicht zeitoptimiert verlaufen, da bei großer Schalterspannung die Verlustleistung im Schalter hoch ist, was eine weitere mögliche Begrenzung darstellt.

Es ist Aufgabe der Erfindung, ein Verfahren und eine entsprechende Vorrichtung zur Betätigung eines Halbleiter-Leistungsschalters zu schaffen, die ohne kostenintensiven Stromsensor auskommt und bei welcher der Einschaltvorgang und der Einschaltzustand so geregelt werden, dass auch bei großer Spannungsdifferenz am Schalter eine Beschädigung der Transistoren ausgeschlossen ist.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren gemäß den Merkmalen von Anspruch 1 und eine Vorrichtung gemäß den Merkmalen des Anspruchs 2 gelöst.

Es wird ein Verfahren und eine Vorrichtung zum Schalten eines Halbleiterleistungsschalters vorgeschlagen, die sich dadurch auszeichnen, dass der Widerstand der Schaltstrecke des Halbleiterleistungsschalters so geregelt wird, dass die Chiptemperatur des Halbleiter-Leistungsschalter eine vorgegebene Solltemperatur nicht übersteigt, hierbei wird bei Erreichen der vorgegebenen Solltemperatur der Widerstand der Schaltstrecke des Halbleiter-Leistungsschalters erhöht, wodurch zum einen die Verlustleistung sinkt und zum anderen auch bedingt durch die reduzierte Verlustleistung die Chiptemperatur abnimmt.

Vorteilhafte Weiterbildungen der Erfindung sind den Unteransprüchen zu entnehmen.

Das erfindungsgemäße Verfahren umfasst die technische Lehre, den Widerstand der Schaltstrecke des Halbleiter-Leistungsschalters mittels einer Steuerspannung so zu steuern, dass die Temperatur in des Leistungsschalters (Chiptemperatur) einen vorgegebenen Wert nicht übersteigt bzw. auf einen Konstantwert geregelt wird, wobei die Regelgröße als Steuersignal zur Erzeugung der Steuerspannung dient.

Bei einer Vorrichtung zur Durchführung dieses Verfahrens ist vorgesehen, den Schalter als Transfer-Gate mit speziellen Halbleiter-Transistoren auszubilden, in welche Dioden zur Erfassung der Chiptemperaturen integriert sind, und mittels einer Ladungspumpe so anzusteuern, dass die Chiptemperatur der Transistoren geregelt und auf einen vorgegebenen Sollwert begrenzt werden kann.

Vorteilhafterweise liegt die vorgegebene Solltemperatur im Bereich der Betriebstemperatur des Leistungshalbleiters. Dadurch wird zum einen verhindert, dass der Leistungsschalter oberhalb seiner zulässigen Betriebstemperatur betrieben wird und zum anderen bedingt durch einen solchen Betrieb die Lebensdauer des Leistungshalbleiters reduziert wird.

Vorteilhafte Weiterbildungen der Erfindung sind den Unteransprüchen zu entnehmen.

Ein Ausführungsbeispiel nach der Erfindung wird nachstehend anhand einer schematischen Zeichnung näher erläutert. In der Zeichnung zeigen:

Figur 1 ein Prinzipschaltbild eines 14V/42V-Kraftfahrzeug-Bordnetzes,

Figur 2 ein Prinzipschaltbild eines als Transfer-Gate ausgebildeten Halbleiter-Leistungsschalters,

Figur 3 die Schaltung eines mittels einer Ladungspumpe ansteuerbaren Transfer-Gates,

Figur 4 eine Temperaturerfassungseinheit mit Sollvergleich und logischer Verknüpfung.

Figur 1 zeigt ein Prinzipschaltbild eines 14V/42V-Kraftfahrzeug-Bordnetzes mit einem mit einer nicht dargestellten Brennkraftmaschine gekoppelten integrierten Starter-Generator ISG, anhand dessen die Erfindung, näher erläutert wird.

Dieser ISG ist über einen bidirektionalen AC/DC-Wandler AC/DC a) direkt mit einem Zwischenkreiskondensator C1,

b) über einen Leistungsschalter S2 mit einem Doppelschichtkondensator DLC,

c) über einen Leistungsschalter S1 mit einem 36V-Akkumulator B36 und einem 42V-Bordnetz, und

d) über einen bidirektionalen DC/DC-Wandler DC/DC mit einem 12V-Akkumulator B12 und einem 14V-Bordnetz N14

verbunden.

Erfindungsgemäß soll gemäß eines nicht näher erläuterten Programms jeder Leistungsschalter (S1 und S2) als Transfer-Gate ausgebildet sein und mittels der Befehle eines nicht dargestellten Steuergeräts von einer Ladungspumpe angesteuert werden.

Figur 2 zeigt ein Prinzipschaltbild für einen als Transfer-Gate TG ausgeführten Schalter, beispielsweise für den Schalter S2, der zwischen dem Zwischenkreiskondensator C1 und dem Doppelschichtkondensator DLC angeordnet ist. Falls weitere als Transfer-Gate ausgebildete Schalter erforderlich sind, so sind diese identisch ausgebildet.

Das Transfer-Gate TG besteht aus zwei in Reihe geschalteten MOSFET-Transistoren Q1 und Q2, deren Sourceanschlüsse s und Gateanschlüsse g jeweils miteinander verbunden sind. Die Drainanschlüsse d dienen als Eingang E oder Ausgang A des Schalters.

Da im Bordnetz die Spannungsdifferenzen und Stromrichtungen am Schalter beliebiges Vorzeichen bzw. beliebige Richtung haben können, ist die Verwendung von zwei in Reihe geschalteten Transistoren bzw. Transistorgruppen erforderlich, von denen im Sperrzustand des Leistungsschalters jeweils wenigstens einer sperrt. Eine derartige Anordnung ist als Transfer-Gate bekannt, welche die eigentliche Schaltfunktion ausübt.

Die Ansteuerung eines solchen als Transfer-Gate ausgebildeten Schalters erfolgt durch Anlegen einer Steuerspannung zwischen Source- und Gateanschluß. Zum Abbau dieser Steuerspannung ist ein in Figur 2 nicht näher bezeichneter Widerstand zwischen Gate- und Sourceanschluß vorgesehen.

Erfindungsgemäß ist vorgesehen, wie in Figur 2 angedeutet, im Transfer-Gate TG als Halbleiter Q1 und Q2 handelsübliche Transistoren mit integrierten Temperatursensoren (D1A, D1B, D2A und D2B) einzusetzen, die beispielsweise aus „Philips Semiconductors Product Specification, Power MOS transistor Voltage clamped logic level FET with temperature sensing diodes, BUK9120-48TC, February 1998“ bekannt sind. Herstellerseitig sind zur Erfassung der Chiptemperaturen pro PowerMOSFET zwei antiparallele Dioden integriert, bei dem erfindungsgemäßen Ausführungsbeispiel wird jedoch nur jeweils eine Diode pro PowerMOSFET Q1, Q2 verwendet.

In Figur 3 ist die Schaltung des mittels einer Ladungspumpe ansteuerbaren, als Transfer-Gate ausgebildeten Schalters S2,

der zwischen Zwischenkreiskondensator C1 und Doppelschichtkondensator DLC angeordnet ist, noch einmal, jedoch ohne die integrierten Temperatursensoren, dargestellt. Zusätzlich kann, mittels eines Signals Dis über einen weiteren, im Transfer-Gate angeordneten Transistor Q3 (und einen externen Transistor Q4) die Steuerspannung kurzgeschlossen werden, um das Transfer-Gate rasch zu öffnen (nichtleitend zu steuern).

Die an sich bekannte Ladungspumpe LP (Kondensatoren C2 bis C5 und Dioden D3 bis D5) baut eine Steuerspannung Vst zwischen Source- und Gateanschluß s, g des Transfer-Gates (Schalter 2) auf. Sie wird von einem Gatteroszillator (logische Schaltelemente U1 bis U4) mit Enablefunktion versorgt. So kann der Oszillator und mit ihm die Ladungspumpe LP durch ein logisches Steuersignal En (enable) ein- und ausgeschaltet werden. Die Erzeugung des Steuersignals En wird weiter unten erklärt.

Durch Einschalten der Ladungspumpe LP mittels des Signals En (En = High) wird zwischen Source- und Gateanschluß s, g eine positive Steuerspannung Vst aufgebaut, wodurch Schalter S2 (Transfer-Gate) entsprechend leitend wird. Nach dem Abschalten des Signals En (En = Low) wird diese Spannung über den Entladewiderstand R1 abgebaut, wodurch Schalter S2 wieder nichtleitend wird. Das Ein- und Ausschalten erfolgt zeitlich kontrolliert, d.h., durch gezieltes Ein- und Ausschalten der Ladungspumpe kann das Transfer-Gate in einem analogen Leitungszustand gehalten werden.

Figur 4 zeigt die erfindungsgemäße Schaltung zur Erfassung der Chiptemperaturen der Transistoren Q1 und Q2 des Transfer-Gates TG mit Sollvergleich und logischer Signal-Verknüpfung.

Diese Temperatur-Erfassungseinheit besteht für jeden Transistor Q1, Q2 aus einer an den Polen einer Spannungsquelle (die eine bereits vorhandene 5V-Versorgung sein kann) liegenden Reihenschaltung aus einem Widerstand R7, R8 und der temperatursensitiven Diode DT1, DT2 (welche der Diode D1B, D2B in Figur 2 entspricht), wodurch ein Arbeitsstrom von beispielsweise 1mA durch die Dioden DT1, DT2 fließt.

Der Verbindungspunkt zwischen Widerstand R7 und Diode DT1, bzw. Widerstand R8 und Diode DT2 ist jeweils mit dem nichtinvertierenden Eingang eines Komparators K1 bzw. K2 verbunden, an dessen invertierenden Eingang eine einer Solltemperatur T_{soll} zugeordnete Sollspannung V_{Tsoll} liegt. Die Ausgänge der beiden Komparatoren K1, K2 sind mit den Eingängen eines ersten Logik-Gliedes NAND verbunden, dessen Ausgang mit einem Eingang eines zweiten Logik-Gliedes NOR verbunden ist, dessen anderem Eingang ein ON/OFF-Signal zugeführt wird, auf welches weiter unten eingegangen wird. Am Ausgang des zweiten Logik-Gliedes NOR erscheint das Steuersignal En, welches dem Gatterszillator der Ladungspumpe LP zugeführt wird.

Die Dioden DT1, DT2 zur Erfassung der Chiptemperaturen haben einen negativen Temperaturkoeffizienten, d.h., bei steigender Chiptemperatur sinkt die Flussspannung mit ca. $1.6\text{mV}/^{\circ}\text{C}$ monoton ab. Der Wert der Flussspannung bei 25°C beträgt beispielsweise 660mV.

Bedingt durch den Aufbau des Transfer-Gates wird jeweils ein Transistor verpolt betrieben (Drain-Source-Spannung), wohingegen der andere den wesentlichen Teil der Schalterspannung trägt. Entsprechend unterschiedlich entwickeln sich auch die Chiptemperaturen während eines Einschaltvorgangs. Es ist also erforderlich, die Temperaturen der Transistoren Q1, Q2 ge-

trennt zu erfassen und die Regelung an der jeweils höheren Temperatur auszurichten.

Den nachstehenden Tabellen ist folgendes zu entnehmen (wobei High = H und Low = L; ein unterstrichenes Bezugszeichen bedeutet, dass das Signal an dessen Ausgang gemeint ist):

A			B			C			
	<u>K1</u>	<u>K2</u>		<u>K1</u>	<u>K2</u>	<u>NAND</u>	ON/OFF ON = L OFF=H <i>Dis</i>	<u>NOR</u> <i>En</i>	
VT1ist>VTsoll	H	-	→	L	L	H	→	L	H
VT1ist<VTsoll	L	-		L	H	H		L	L
VT2ist>VTsoll	-	H		H	L	H		H	L
VT2ist<VTsoll	-	L		H	H	L		H	L

Tabelle A: Solange die von der jeweiligen Chiptemperatur T1ist, T2ist erzeugte Diodenspannung VT1ist, VT2ist größer als ein vorgegebener, einer erhöhten, aber zulässigen Chiptemperatur Tsoll zugeordneter Spannungs-Sollwert VTsoll ist, liegt der Ausgang des zugeordneten Komparators K1,K2 auf High-Signal.

Tabelle B: Sobald die der jeweiligen Chiptemperatur T1ist, T2ist zugeordnete Diodenspannung VT1ist, VT2ist den vorgegebenen Spannungs-Sollwert VTsoll unterschreitet, geht der Ausgang des zugeordneten Komparators K1, K2 auf Low-Signal und springt das Ausgangssignal des ersten Logik-Gliedes NAND auf High-Signal.

Tabelle C: Geht das Ausgangssignal des ersten Logik-Gliedes NAND auf High-Signal, so springt das Ausgangssignal des

ihm folgenden zweiten Logik-Gliedes NOR (Steuersignal En) auf Low-Signal, wodurch die Ladungspumpe LP stoppt und das Transfer-Gate nichtleitender wird.

Aus Figur 4 und Tabelle C ist ein Signal ON/OFF entnehmbar. Dieses bereits erwähnte Signal ist ein Befehl des nicht dargestellten Steuergeräts. Es ist immer dann ON = Low, wenn der zugehörige Schalter S1, S2 leitend sein soll, und ist OFF = High, wenn dieser Schalter nichtleitend sein soll.

Dieses Signal ON/OFF ist identisch mit dem Signal Dis in Figur 3, welches den Schalter S1, S2 durch Kurzschließen der Gate-Source-Strecke rasch nichtleitend steuert und in diesem Betriebszustand hält, solange es OFF = High ist.

Aus Tabelle C ist also ersichtlich, dass die Ladungspumpe LP den Schalter nur dann leitend steuern kann, wenn einerseits das Steuergerät dazu die Erlaubnis gibt (ON = Dis = Low) und wenn andererseits das Ausgangssignal des Ersten Logik-Gliedes NAND durch seinen Low-Zustand signalisiert, dass keine Chip-temperatur den Sollwert überschritten hat. Dann geht das Ausgangssignal En des zweiten Logik-Gliedes NOR auf High-Level und der nachfolgende Gatter-Oszillator (U1 bis U4, Figur 3) erzeugt eine steigende Gatespannung für das Transfer-Gate Q1, Q2, welches zusehends stärker leitet. Dadurch steigt der Strom durch Q1, Q2 und damit auch die Verlustleistung und die Chiptemperatur, woraufhin die Flussspannung der temperatursensitiven Dioden DT1 und DT2 sinkt. Dies geht solange, bis VT1ist oder VT2ist den Wert VTsoll unterschreitet. Steuersignal En geht auf Low und der Oszillator stoppt. Die Ladungspumpe LP liefert keine Gatespannung = Steuerspannung Vst mehr, und durch den Widerstand R1 entlädt sich Kondensator C1, wodurch die Gatespannung langsam abfällt. Das Transfer-

Gate wird nichtleitender, die Verlustleistungen der Transistoren Q1 und Q2 sinken und damit auch die Chiptemperaturen, woraufhin die Flussspannungen der Dioden DT1 und DT2 wieder steigen und der Vorgang von neuem beginnt.

Insgesamt ist damit ein Zweipunktregler entstanden, dessen Oszillatorfrequenz und -amplitude von den Verzögerungszeiten der Regelelemente abhängen.

Patentansprüche

1. Verfahren zum Schalten eines Halbleiter-Leistungsschalters (S1, S2),

d a d u r c h g e k e n n z e i c h n e t ,

dass der Widerstand der Schaltstrecke (E-A) des Halbleiter-Leistungsschalters (S1, S2) über einen Steuereingang (s, g) mittels einer Steuerspannung (Vst) und/oder eines Steuerstroms abhängig von der Chiptemperatur (Tlist, T2ist) so geregelt wird, dass die Chiptemperatur (Tlist, T2ist) des Leistungsschalters (S1, S2) eine vorgegebene Solltemperatur (Tsoll) nicht übersteigt, wobei bei Erreichen der Solltemperatur (Tsoll) der Widerstand der Schaltstrecke (E-A) erhöht wird.

2. Vorrichtung zur Durchführung des Verfahrens nach Anspruch 1, insbesondere zum Schalten eines zwischen zwei Energiespeichern (C1, DLC, B36) angeordneten Halbleiter-Leistungsschalters (S1, S2) in einem mit einem Integrierten-Starter-Generator (ISG) ausgerüsteten Kraftfahrzeug-Bordnetz, d a d u r c h g e k e n n z e i c h n e t ,

dass der mittels einer Steuerspannung Vst leitend oder nichtleitend steuerbare Leistungsschalter (S1, S2) als Transfer-Gate (TG) ausgebildet ist,

- welches zwei in Reihe geschaltete Transistoren (Q1, Q2) oder Transistorgruppen aufweist, von denen im Sperrzustand des Leistungsschalters (S1, S2) jeweils wenigstens eine/r sperrt, und
- in welchem jedem Transistor (Q1, Q2) oder jeder Transistorgruppe wenigstens eine Diode (DT1, DT2) zur Erfassung der Chiptemperatur (Tlist, T2ist) zugeordnet ist,

dass eine Ladungspumpe (LP) zum Erzeugen der Steuerspannung (Vst) vorgesehen ist, mittels welcher die Transistoren (Q1, Q2) des Leistungsschalters (S1, S2) jeweils nur soweit leitend gesteuert werden, dass die Chiptemperatur (T1ist, T2ist) jedes Transistors (Q1, Q2) des Leistungsschalters (S1, S2) eine vorgegebene Solltemperatur (Tsoll) nicht übersteigt, und

dass eine Temperatur-Erfassungseinheit vorgesehen ist, in welcher der Vergleich der Chiptemperaturen mit dem Sollwert durchgeführt wird, und welche ein diesem Vergleich zugeordnetes Steuersignal (En) für die Ladungspumpe (LP) liefert, wobei bei Erreichen der Solltemperatur (Tsoll) der Widerstand der Schaltstrecke (E-A) erhöht wird.

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass dem Transfer-Gate (S1, S2, TG) ein Transistor (Q3) zugeordnet ist,

dessen Kollektor-Emitterstrecke zwischen den miteinander verbundenen Gateanschlüssen (g) und den miteinander verbundenen Sourceanschlüssen (s) der zwei in Reihe geschalteten Transistoren (Q1, Q2) oder Transistorgruppen angeordnet ist, und

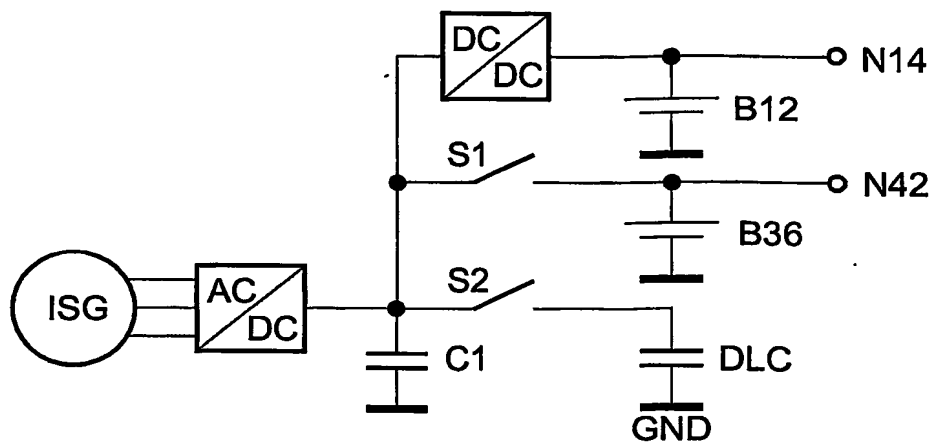
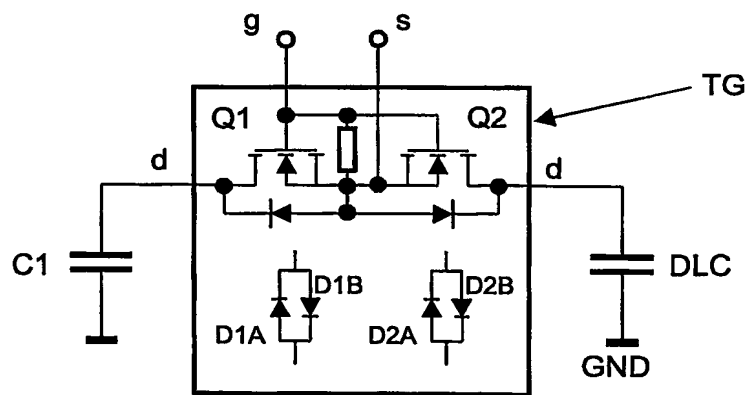
welcher mittels eines externen Signals (Dis) in den Leitzustand versetzbar ist, um das Transfer-Gate (TG) rasch nichtleitend zu steuern.

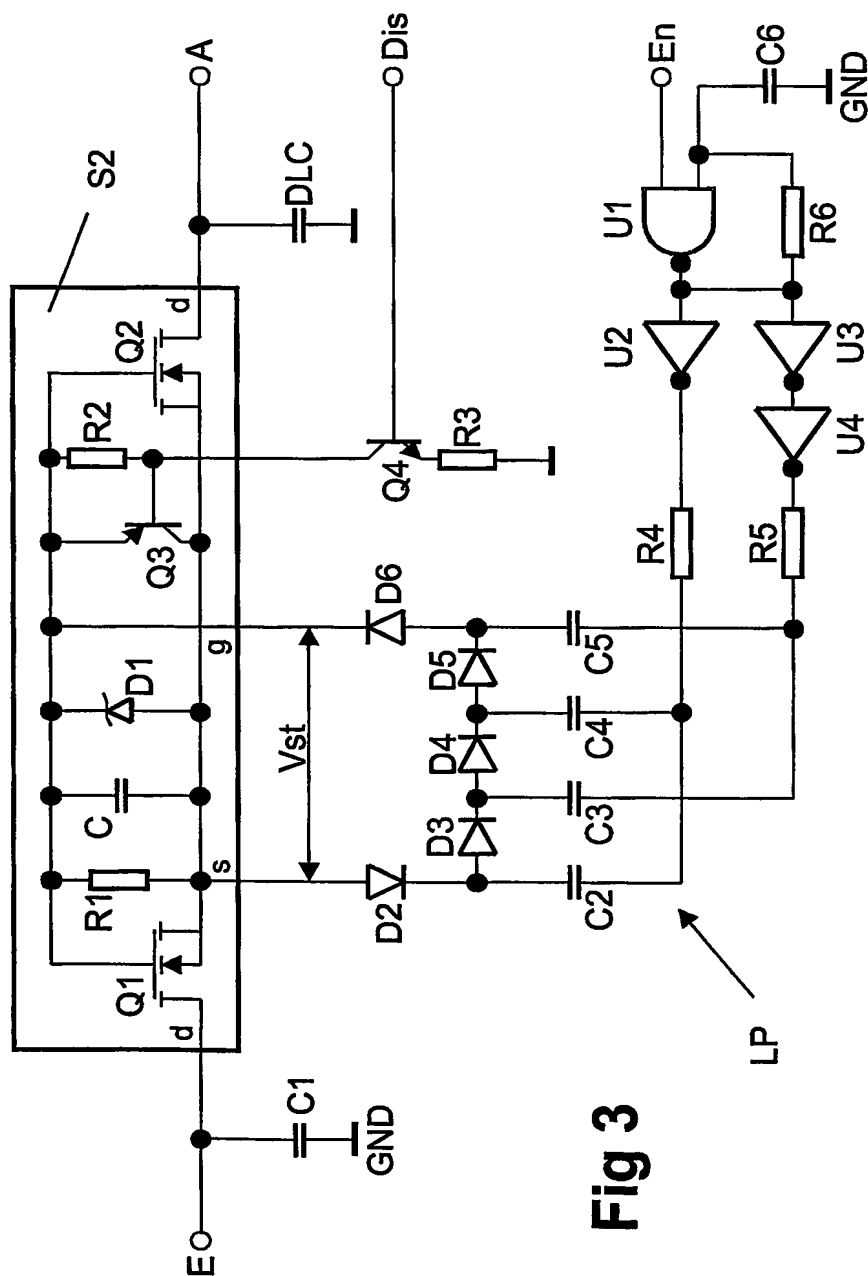
4. Vorrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet,

dass die Temperatur-Erfassungseinheit wenigstens eine für jeden Transistor (Q1, Q2) oder jede Transistorgruppe an den Polen (+5V, GND) einer Spannungsquelle liegende Reihen-

schaltung aus der ihm zugeordneten Diode (DT1, DT2) und einem Widerstand (R7, R8) aufweist,
dass der Verbindungspunkt zwischen Widerstand (R7, R8) und Diode (DT1, DT2), an welchem eine der Chiptemperatur (T1ist, T2ist) zugeordnete Spannung (VT1ist, VT2ist) abgreifbar ist, jeweils mit einem Eingang eines Komparators (K1, K2) verbunden ist,
dass an einem anderen Eingang des Komparators (K1, K2) eine der vorgegebenen Solltemperatur (Tsoll) zugeordnete Sollspannung (VTsoll) angelegt ist,
dass der Komparator (K1, K2) den Vergleich der der Chiptemperatur (T1ist, T2ist) zugeordneten Spannung (VT1ist, VT2ist) mit der der vorgegebenen Solltemperatur (Tsoll) zugeordneten Sollspannung (VTsoll) durchführt,
dass die Ausgänge aller Komparatoren (K1, K2) mit den Eingängen eines ersten Logik-Gliedes (NAND) verbunden sind,
dass der Ausgang des ersten Logik -Gliedes (NAND) mit einem Eingang eines zweiten Logik-Gliedes (NOR) verbunden ist, dessen anderem Eingang ein ON/OFF-Signal (Dis) zugeführt wird, und
dass das Ausgangssignal des zweiten Logik-Gliedes (NOR) dem Gatteroszillator (U1 bis U4) der Ladungspumpe (LP) als Steuersignal (En) zugeführt wird.

1/3

**Fig 1****Fig 2**



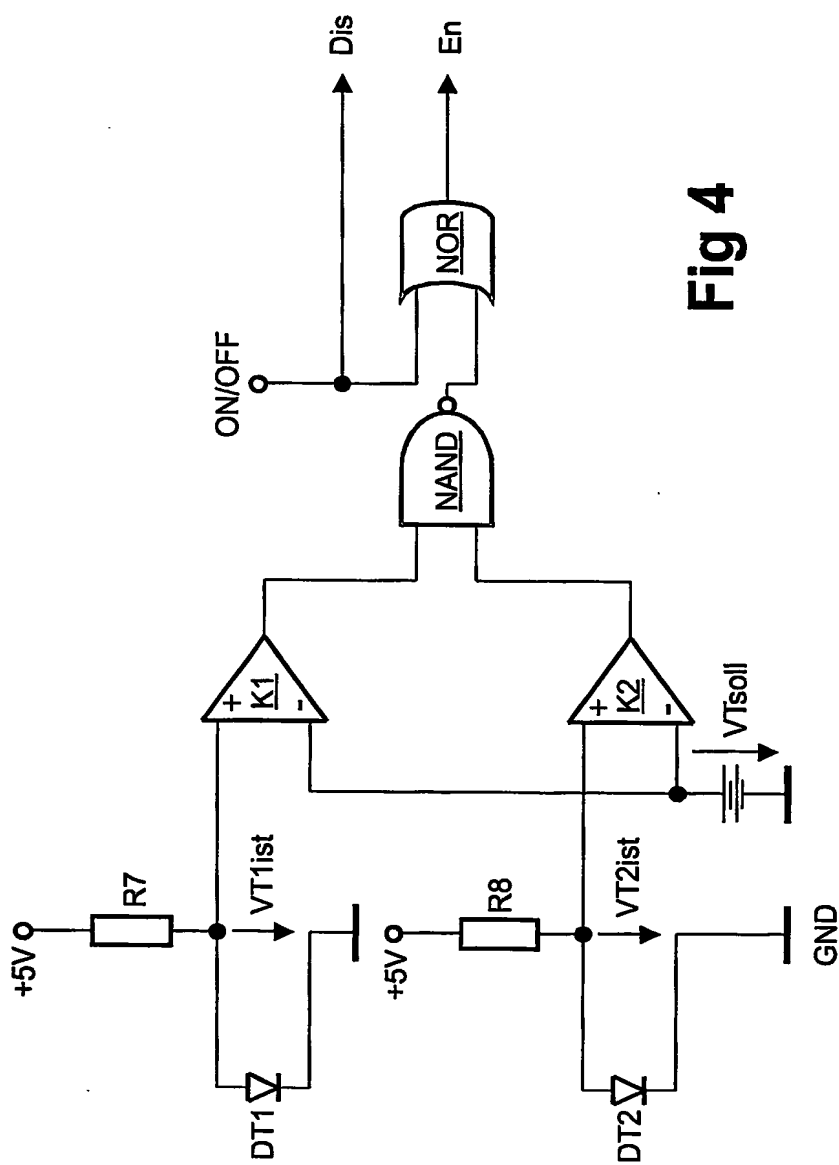


Fig 4

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. April 2004 (22.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/034584 A3

(51) Internationale Patentklassifikation⁷: **H03K 17/082**

(21) Internationales Aktenzeichen: PCT/DE2003/003090

(22) Internationales Anmeldedatum:
17. September 2003 (17.09.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 47 111.8 9. Oktober 2002 (09.10.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **SIEMENS AKTIENGESellschaft** [DE/DE];
Postfach 22 16 34, 80506 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BOLZ, Stephan**

[DE/DE]; Lehenweg 14, 93102 Pfatter (DE). **KNORR, Rainer** [DE/DE]; Hohlweg 10 C, 93055 Regensburg (DE).
LUGERT, Günter [DE/DE]; Gertud-Bäumer-Weg 7, 93055 Regensburg (DE).

(74) Gemeinsamer Vertreter: **SIEMENS AKTIENGESellschaft**; Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

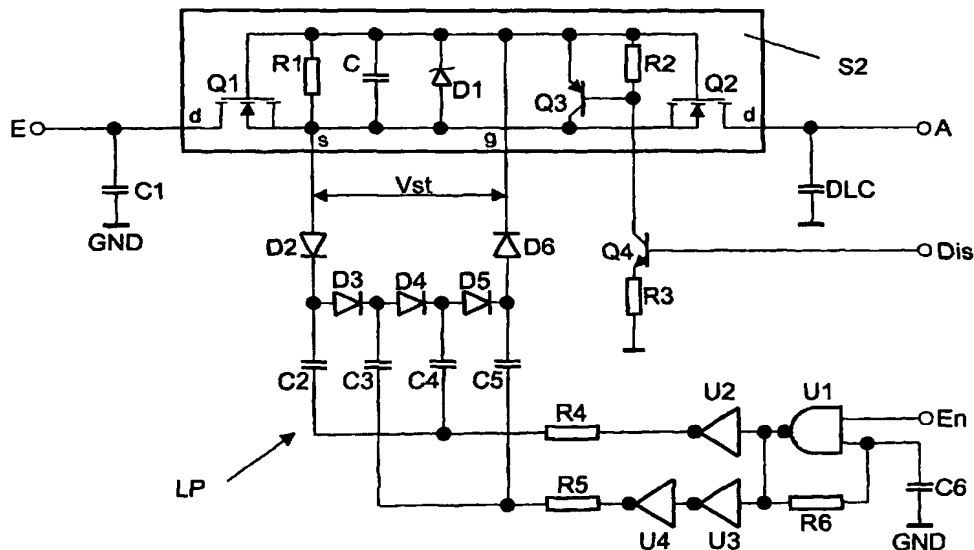
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR ACTUATING A POWER CIRCUIT BREAKER

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR BETÄTIGUNG EINES LEISTUNGSSCHALTERS.



(57) Abstract: The invention relates to a method for actuating a semiconductor power circuit breaker, by which means the resistance of the breaker gap (E-A) of the semiconductor power circuit breaker is controlled by a control voltage (Vst) in such a way that the chip temperature (T1ist, T2ist) of the power circuit breaker (S1, S2) does not exceed a pre-determined nominal value (Tsoll). When the nominal temperature (Tsoll) is reached, the resistance of the breaker gap (E-A) is increased. The invention also relates to a device for carrying out said method, said device using a transfer gate (TG) controlled by a charge pump (LP) as a semiconductor power circuit breaker. Commercially available transistors comprising integrated temperature sensors are used in the transfer gate (TG) as semiconductor power circuit breakers.

[Fortsetzung auf der nächsten Seite]



(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

17. Juni 2004

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Verfahren zur Betätigung eines Halbleiter-Leistungsschalters, mittels welchem der Widerstand der Schaltstrecke (E-A) des Halbleiter-Leistungsschalters mit einer Steuerspannung (V_{st}) so gesteuert wird, dass die Chiptemperatur (T_{1ist} , T_{2ist}) des Leistungsschalters (S_1 , S_2) einen vorgegebenen Sollwert (T_{soll}) nicht übersteigt, wobei bei Erreichen der Solltemperatur (T_{soll}) der Widerstand der Schaltstrecke (E-A) erhöht wird. Eine Vorrichtung zur Durchführung dieses Verfahrens verwendet als Halbleiter-Leistungsschalter ein Transfer-Gate (TG), welches von einer Ladungspumpe (LP) angesteuert wird, wobei im Transfer-Gate (TG) als Halbleiter-Leistungsschalter handelsübliche Transistoren mit integrierten Temperatursensoren verwendet werden.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03090

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K17/082

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 195 48 612 A (BOSCH GMBH ROBERT) 26 June 1997 (1997-06-26) column 2, last paragraph - column 3, line 46; figure 1	1,2
X	----- EP 1 028 467 A (YAZAKI CORP) 16 August 2000 (2000-08-16) paragraph '0074! - paragraph '0084! paragraph '0094! - paragraph '0100! figures 7a-7c,10	1,2
A	----- US 2002/021539 A1 (ODAOHHARA SHIGEFUMI ET AL) 21 February 2002 (2002-02-21) paragraph '0028! - paragraph '0033!; figures 1,2 ----- -/--	3,4

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the international search

22 April 2004

Date of mailing of the international search report

03/05/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Cantarelli, R

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03090

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 005 761 A (UCHIKURA TSUYOSHI ET AL) 21 December 1999 (1999-12-21) column 13, line 46 - column 16, line 14; figure 2 -----	4
A	US 5 291 387 A (OHSHIMA YOSHINOBU) 1 March 1994 (1994-03-01) column 3, line 53 - column 7, line 3214; figures 2,3 -----	4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03090

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19548612	A	26-06-1997	DE 19548612 A1	26-06-1997
EP 1028467	A	16-08-2000	EP 1028467 A2	16-08-2000
			JP 2000299634 A	24-10-2000
			US 6392859 B1	21-05-2002
US 2002021539	A1	21-02-2002	JP 2002076868 A	15-03-2002
US 6005761	A	21-12-1999	JP 10309032 A	17-11-1998
US 5291387	A	01-03-1994	JP 4285465 A	09-10-1992
			CA 2062845 A1	14-09-1992

INTERNATIONAL RECHERCHENBERICHT

ationales Aktenzeichen
PCT/DE 03/03090

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03K17/082

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 195 48 612 A (BOSCH GMBH ROBERT) 26. Juni 1997 (1997-06-26) Spalte 2, letzter Absatz - Spalte 3, Zeile 46; Abbildung 1	1,2
X	EP 1 028 467 A (YAZAKI CORP) 16. August 2000 (2000-08-16) Absatz '0074! - Absatz '0084! Absatz '0094! - Absatz '0100! Abbildungen 7a-7c,10	1,2
A	US 2002/021539 A1 (ODAOHHARA SHIGEFUMI ET AL) 21. Februar 2002 (2002-02-21) Absatz '0028! - Absatz '0033!; Abbildungen 1,2	3,4

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. April 2004

Absenddatum des internationalen Recherchenberichts

03/05/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cantarelli, R

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 005 761 A (UCHIKURA TSUYOSHI ET AL) 21. Dezember 1999 (1999-12-21) Spalte 13, Zeile 46 - Spalte 16, Zeile 14; Abbildung 2 -----	4
A	US 5 291 387 A (OHSHIMA YOSHINOBU) 1. März 1994 (1994-03-01) Spalte 3, Zeile 53 - Spalte 7, Zeile 3214; Abbildungen 2,3 -----	4

INTERNATIONALES RESEARCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/03090

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 19548612	A	26-06-1997	DE	19548612 A1	26-06-1997
EP 1028467	A	16-08-2000	EP	1028467 A2	16-08-2000
			JP	2000299634 A	24-10-2000
			US	6392859 B1	21-05-2002
US 2002021539	A1	21-02-2002	JP	2002076868 A	15-03-2002
US 6005761	A	21-12-1999	JP	10309032 A	17-11-1998
US 5291387	A	01-03-1994	JP	4285465 A	09-10-1992
			CA	2062845 A1	14-09-1992